

MOTION VECTOR CODER AND DECODER

Patent number: JP5115061

Publication date: 1993-05-07

Inventor: FUJINAMI YASUSHI

Applicant: SONY CORP

Classification:

- **International:** G06T9/00; H04N7/26; G06T9/00; H04N7/26; (IPC1-7):
H04N7/137

- **european:** G06T9/00P; H04N7/26M2; H04N7/26M6E

Application number: JP19910302503 19911022

Priority number(s): JP19910302503 19911022

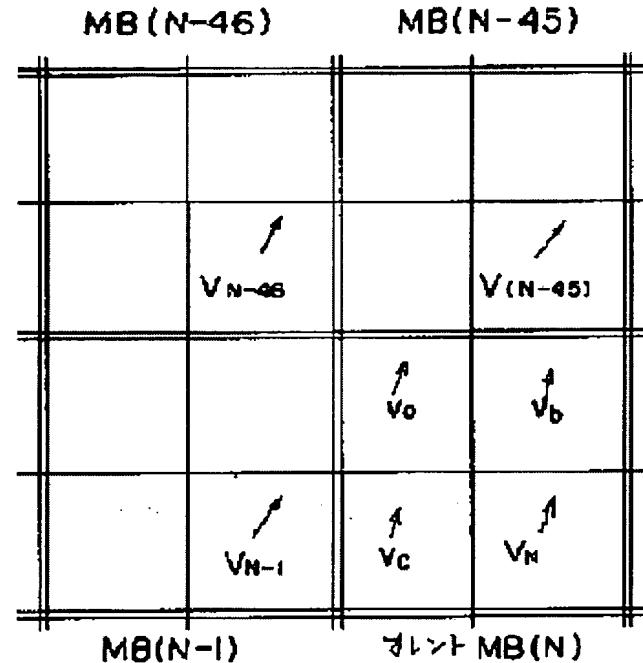
Also published as:

- EP0556507 (A)
- US5337086 (A)
- EP0556507 (B)

[Report a data error](#) [help](#)

Abstract of JP5115061

PURPOSE: To improve the compression ratio of data by reducing redundancy between macro blocks. **CONSTITUTION:** A mean value of a representative vector VN of a current macro block MB(N), representative vectors VN-46, VN-45, VN-1 of adjacent and preceding macro blocks MB(MB(N-46), MB(N-45) and MB(N-1)) to the MB(N) is calculated. A difference between a mean value between the representative vector VN of the MB(N) and the representative vector VN-46 of the MB(N-46) and a vector Va is used for data corresponding to the motion vector of the block having the vector Va. Similarly, a difference of a mean value between the representative vector VN of the MB(N) and the representative vector VN-45 of the MB(N-45) and a vector vb is used for data corresponding to a motion vector of a block for the vector vb, and a difference of a mean value between the representative vector VN of the MB(N) and the representative vector VN-1 of the MB(N-1) and a vector vc is used for data corresponding to a motion vector of a block for the vector vc.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-115061

(43)公開日 平成5年(1993)5月7日

(51)Int.Cl.⁵
H 04N 7/137

識別記号
Z 4228-5C

F I

技術表示箇所

審査請求 未請求 請求項の数2(全12頁)

(21)出願番号 特願平3-302503

(22)出願日 平成3年(1991)10月22日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 藤波 靖

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

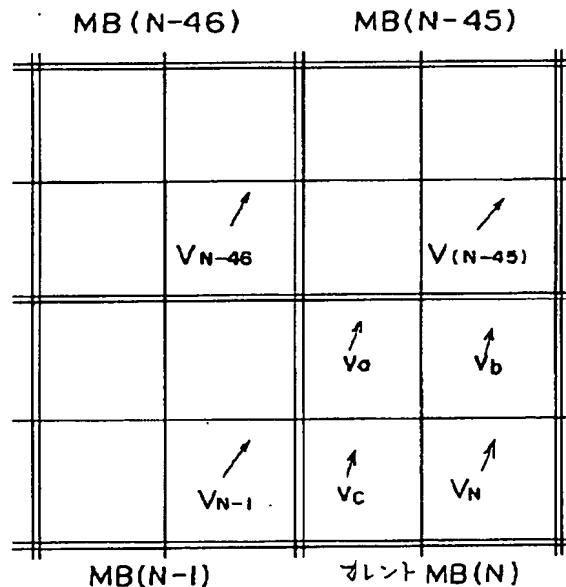
(74)代理人 弁理士 稲本 義雄

(54)【発明の名称】 動きベクトル符号器および復号器

(57)【要約】

【目的】 マクロブロック間の冗長性を削減し、データの圧縮率を高くる。

【構成】 カレントマクロブロック(MB)(N)の代表値ベクトル v_n と、そのMB(N)に隣接する先行するマクロブロックMB(MB(N-46), MB(N-45)およびMB(N-1))の代表値ベクトル $v_{n-46}, v_{n-45}, v_{n-1}$ との平均値が、それぞれ計算される。MB(N)の代表値ベクトル v_n とMB(N-46)の代表値ベクトル v_{n-46} との平均値と、ベクトル v_n との差分が、ベクトル v_a を有するブロックの動きベクトルに対応するデータとされる。同様に、MB(N)の代表値ベクトル v_n とMB(N-45)の代表値ベクトル v_{n-45} との平均値と、ベクトル v_b との差分が、ベクトル v_b を有するブロックの動きベクトルに対応するデータとされ、MB(N)の代表値ベクトル v_n とMB(N-1)の代表値ベクトル v_{n-1} との平均値と、ベクトル v_c との差分が、ベクトル v_c を有するブロックの動きベクトルに対応するデータとされる。



【特許請求の範囲】

【請求項1】 画像をマクロブロックに分割し、前記マクロブロックをさらにブロックに分割し、前記マクロブロックまたは前記ブロックにおける前記画像の動きを表す動きベクトルを圧縮符号化する動きベクトル符号器において、

前記ブロックの動きベクトルを記憶する記憶手段と、前記記憶手段に記憶された前記ブロックの動きベクトルにより注目ブロックの動きベクトルを予測する予測手段と、

前記予測手段により予測された前記注目ブロックの動きベクトルと前記注目ブロックの実際の動きベクトルとの差分を生成する生成手段とを備えることを特徴とする動きベクトル符号器。

【請求項2】 画像をマクロブロックに分割し、前記マクロブロックをさらにブロックに分割し、前記ブロックにおける前記画像の動きを表す動きベクトルを記憶し、記憶された前記ブロックの動きベクトルにより注目ブロックの動きベクトルを予測し、予測された前記注目ブロックの動きベクトルと前記注目ブロックの動きベクトルとの差分を生成することにより圧縮符号化した動きベクトルを復号する動きベクトル復号器において、前記ブロックの動きベクトルを記憶する記憶手段と、前記記憶手段に記憶された前記ブロックの動きベクトルにより前記注目ブロックの動きベクトルを予測する予測手段と、

前記予測手段により予測された前記注目ブロックの動きベクトルおよび前記予測手段により予測された前記注目ブロックの動きベクトルと前記注目ブロックの実際の動きベクトルとの差分により前記注目ブロックの動きベクトルを生成する生成手段とを備えることを特徴とする動きベクトル復号器。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、例えば画像の動きを表す動きベクトルなどを圧縮伸張する場合に用いて好適な動きベクトル符号器、並びに復号器に関する。

【0002】

【従来の技術】 従来の動画像圧縮伸張装置において、例えば図8に示すような720ピクセル×480ライン（水平方向720ピクセル、垂直方向480ライン）で構成される動画像は、16ピクセル×16ラインのマクロブロック（MB）に分割され、このマクロブロックは、さらに図9に示すように8ピクセル×8ラインの4つのブロックに分割され、その各ブロックごとに動きベクトルが生成される。

【0003】 そして、画像の動きの変化が少ない場合、マクロブロックを構成する各ブロックの動きベクトルはほぼ等しくなる（図10（a））。そこで、この場合、そのマクロブロックを構成する4つのブロックのうちの

1つのブロックの動きベクトルが他のブロックに適用され、その動きベクトルが符号化される。即ち、1つの動きベクトルが、1つのマクロブロック（MB）（4つのブロック）に対応して符号化される（マクロブロック単位（MB単位方式）の符号化）。

【0004】 画像の動きの変化が比較的多い場合、各ブロックの動きベクトルは、それぞれ異なったものとなる（図10（b））。そこで、この場合、マクロブロックを構成する各ブロックの動きベクトルの、例えば最小値ベクトルが代表値ベクトルとされる。そして、代表値ベクトル、並びに代表値ベクトルを有するブロック以外のブロックの動きベクトルと代表値ベクトルとの差分（差分ベクトル）が符号化される。即ち、この場合、1つの動きベクトルが1つのブロックに対応して符号化される（ブロック単位（代表値方式）の符号化）。

【0005】

【発明が解決しようとする課題】 このように、ブロック単位の符号化の場合、マクロブロックの代表値ベクトルと各ブロックの動きベクトルとの差分がとられるので、マクロブロックを構成する各ブロックのデータ（動きベクトル）を個々にすべて符号化する場合に較べて、その冗長性が削減され、データ量が圧縮される。しかしながら、例えばズーム動作が行われるような場合、図11に示すように、隣接するマクロブロック間において、相関が生じるので、差分がとられたデータに冗長性を残してしまう課題があった。

【0006】 本発明は、このような状況に鑑みてなされたものであり、データの冗長性をさらに軽減し、データを、より圧縮できるようにするものである。

【0007】

【課題を解決するための手段】 請求項1に記載の動きベクトル符号器は、画像をマクロブロックに分割し、マクロブロックをさらにブロックに分割し、マクロブロックまたはブロックにおける画像の動きを表す動きベクトルを圧縮符号化する動きベクトル符号器において、ブロックの動きベクトルを記憶する例えば代表値レジスタ14bなどよりなる記憶手段と、記憶されたブロックの動きベクトルにより注目ブロックの動きベクトルを予測する例えば演算器14cなどよりなる予測手段と、予測された注目ブロックの動きベクトルと注目ブロックの実際の動きベクトルとの差分を生成する例えばコントローラ12などよりなる生成手段とを備えることを特徴とする。

【0008】 請求項2に記載の動きベクトル復号器は、画像をマクロブロックに分割し、マクロブロックをさらにブロックに分割し、ブロックにおける画像の動きを表す動きベクトルを記憶し、記憶されたブロックの動きベクトルにより注目ブロックの動きベクトルを予測し、予測された注目ブロックの動きベクトルと注目ブロックの実際の動きベクトルとの差分を生成することにより圧縮符号化した動きベクトルを復号する動きベクトル復号器

において、ブロックの動きベクトルを記憶する例えば代表値レジスタ31bなどによる記憶手段と、記憶されたブロックの動きベクトルにより注目ブロックの動きベクトルを予測する例えば演算器31cなどによる予測手段と、予測された注目ブロックの動きベクトルおよび予測された注目ブロックの動きベクトルと注目ブロックの実際の動きベクトルとの差分により注目ブロックの動きベクトルを生成する例えば演算器27などによる生成手段とを備えることを特徴とする。

【0009】

【作用】請求項1に記載の動きベクトル符号器においては、画像をマクロブロックに分割し、マクロブロックをさらにブロックに分割し、マクロブロックまたはブロックにおける画像の動きを表す動きベクトルを圧縮符号化する動きベクトル符号器において、ブロックの動きベクトルを記憶し、記憶されたブロックの動きベクトルにより注目ブロックの動きベクトルを予測し、予測された注目ブロックの動きベクトルと注目ブロックの実際の動きベクトルとの差分を生成する。従って、記憶されたブロックの動きベクトルと注目ブロックの動きベクトルとの間の冗長性が削減され、効率の高い動きベクトルの圧縮を実現することができる。

【0010】請求項2に記載の動きベクトル復号器においては、画像をマクロブロックに分割し、マクロブロックをさらにブロックに分割し、ブロックにおける画像の動きを表す動きベクトルを記憶し、記憶されたブロックの動きベクトルにより注目ブロックの動きベクトルを予測し、予測された注目ブロックの動きベクトルと注目ブロックの実際の動きベクトルとの差分を生成することにより圧縮符号化した動きベクトルを復号する動きベクトル復号器において、ブロックの動きベクトルを記憶し、記憶されたブロックの動きベクトルにより注目ブロックの動きベクトルを予測し、予測された注目ブロックの動きベクトルおよび予測された注目ブロックの動きベクトルと注目ブロックの実際の動きベクトルとの差分により注目ブロックの動きベクトルを生成する。従って、冗長性が削減されて効率の良い圧縮が施された動きベクトルを伸張することができる。

【0011】

【実施例】図1は、本発明の動きベクトル符号器を応用した動画像データ符号器の一実施例の構成を示すブロック図である。フレームメモリ1は、例えばビデオカメラ(図示せず)から出力された画像信号を、A/Dコンバータ(図示せず)によりA/D変換処理したディジタル信号を、図2に示すようにブロック単位で記憶する。演算器2は、フレームメモリ1より読み出されるデータとローカルデコード回路9より出力されるデータとの差を計算する。DCT回路3は、入力されたデータをDCT(離散コサイン変換)処理する。量子化回路4は、DCT回路3より出力されたデータを量子化する。VLC回

路5は、量子化回路4により量子化されたデータを、可変長符号に変換し、コントローラ12より出力されるデータと多重化して、出力する。

【0012】逆量子化回路6は、量子化回路4により量子化されたデータを逆量子化する。逆DCT回路7は、逆量子化回路6により逆量子化されたデータを逆DCT処理する。

【0013】動き検出器11は、フレームメモリ1に記憶されたブロック単位の画像の動きを検出し、その動きベクトルをコントローラ12に出力する。コントローラ12に内蔵されるメモリ13は、コントローラ12に入力されたベクトルを記憶する。

【0014】コントローラ12に内蔵される予測回路14は、図6に示す予測回路31と同様に、代表値レジスタ14a、ベクトル用メモリ14b、演算器14c、14dより構成される。代表値レジスタ14aは、メモリ13に記憶されたベクトルのうち、図2に示すように4個のブロックで構成されるマクロブロックの右下のブロック(図中、*印で示す)のベクトルを代表値ベクトルとして一時記憶する。ベクトル用メモリ14bは、代表値レジスタ14aより読み出された代表値ベクトルを記憶する。演算器14cは、代表値レジスタ14aに記憶されているカレントマクロブロックの代表値ベクトルと、ベクトル用メモリ14bに、既に記憶されているカレントマクロブロックより先行するマクロブロック(先行マクロブロック)の代表値ベクトルを加算する。演算器14dは、演算器14cより出力される値(ベクトル)に1/2を乗じた値を出力する。即ち、予測回路14は、代表値レジスタ14aに記憶されているカレントマクロブロックの代表値ベクトルとベクトル用メモリ14bに、既に記憶されている先行マクロブロックの代表値ベクトルとの平均値(予測値)を計算する。

【0015】コントローラ12は、予測回路14により計算されたベクトル(予測値ベクトル)とコントローラ12に入力されるベクトルとの差分である差分ベクトルを計算する。さらに、コントローラ12は、入力されるベクトルに対応して、量子化回路4および逆量子化回路6にステップサイズの指定などをを行う。

【0016】アドレス生成器10は、動き検出器11からコントローラ12を介して供給される動きベクトルにアドレスを付加し、ローカルデコード回路9に出力する。ローカルデコード回路9は、その内蔵するメモリ(図示せず)に記憶されているデータに対して、アドレス生成器10により出力された動きベクトルに付加されたアドレスを参照して、その動きベクトルに対応する動き補償を施し、動き補償を施したデータを演算器2と演算器8とに出力する。演算器8は、ローカルデコード回路9から出力されるデータと逆DCT回路7から出力されるデータとを加算し、ローカルデコード回路9に内蔵するメモリに供給する。このようにして、ローカルデコ

ード回路9のメモリには、予測画像データが記憶される。

【0017】次に、その動作について説明する。図3に示すようにマクロブロック化され、さらにブロック化された画像情報が、ブロック単位でフレームメモリ1に記憶される。フレームメモリ1に記憶されたブロック単位のデータは、そこから読み出され、演算器2により、ローカルデコード回路9が outputする予測画像データとの差分が演算される。この差分データは、DCT回路3に入力され、DCT処理が施される。DCT回路3より出力されたデータは量子化回路4に入力され量子化された後、VLC回路5に入力される。

【0018】量子化回路4により量子化されたデータは、逆量子化回路6において、逆量子化される。そして、逆DCT回路7において、逆DCT処理され、逆DCT処理されたデータ（差分データ）は、演算器8により、ローカルデコード回路9より出力される予測画像データと加算され、元の画像データに復元される。この画像データが、フレームメモリ1より演算器2に、次に供給される予測画像データとして、ローカルデコード回路9に内蔵されるメモリに供給され、記憶される。

【0019】一方、動き検出器11において、フレームメモリ1に記憶された画像の動き（動きベクトル）がブロック単位で検出され、その動きベクトルがコントローラ12を介し、アドレス生成器10において、アドレスを付加され、ローカルデコード回路9に出力される。ローカルデコード回路9において、動きベクトルに付加されたアドレスが参照され、ローカルデコード回路9の内蔵するメモリに記憶されているデータに対して、その動きベクトルに対応する動き補償が施され、予測画像データが生成される。

【0020】演算器2において、フレームメモリ1より出力されたデータから、ローカルデコード回路9より出力されたデータが減算される。これにより、予測画像（差分をとる基準となる画像）として時間的に前に位置して既に復号化されたIピクチャ（イントラ符号化画像）またはPピクチャ（前方予測符号化画像）を使い、Pピクチャが生成されたり、あるいは予測画像として時間的に前に位置し、既に復号化されたIピクチャまたはPピクチャ、時間的に後ろに位置する既に復号化されたIピクチャまたはPピクチャ、あるいはその両方から作られた補間画像の3種類の画像を予測画像とするBピクチャ（両方向予測符号化画像）が生成される。Iピクチャは、ローカルデコード回路9からのデータを利用せず、フレームメモリ1から供給されたデータのみをDCT回路3に供給した場合に生成されることになる。

【0021】演算器8において、ローカルデコード回路9より入力された動き補償されたデータと、逆DCT回路7より供給されたデータとが加算され、Iピクチャ、PピクチャまたはBピクチャの復号された画像が生成さ

れ、ローカルデコード回路9の内蔵するメモリに供給され、記憶される。

【0022】一方、コントローラ12の内蔵するメモリ13において、動き検出器11から出力される動きベクトルが、一時記憶される。コントローラ12において、メモリ13に記憶されたベクトルが、マクロブロックの代表値ベクトル（マクロブロックを構成する4つのブロックの右下のブロックの動きベクトル）であると判定された場合、そのベクトルは代表値レジスタ14aに記憶される。予測回路14において、後述する予測値（平均値）計算処理が終了した後、代表値レジスタ14aに記憶された各マクロブロックの代表値ベクトルは、ベクトル用メモリ14bに順次記憶される。

【0023】予測回路14において、予測値計算処理は、次のように行われる。メモリ13において、例えば図3に示すように、マクロブロック(MB)(N-46)（カレントマクロブロックMB(N)の左上に隣接する）、MB(N-45)（カレントマクロブロックMB(N)の上に隣接する）、MB(N-1)（カレントマクロブロックMB(N)の左に隣接する）およびMB(N)などのように、4個の隣接するMBのブロックの各ベクトルの記憶が終了すると、最後に記憶されたMB(N)の代表値ベクトルV_nが読み出され、代表値レジスタ14aに記憶される。そして、予測回路14において、この代表値ベクトルV_nと、既にベクトル用メモリ14bに記憶されている他のMB(MB(N-46), MB(N-45)およびMB(N-1))の代表値ベクトルV_{n-46}, V_{n-45}, V_{n-1}との平均値が、それぞれ計算される。

【0024】コントローラ12において、MB(N)の代表値ベクトルV_nと、MB(N-46)の代表値ベクトルV_{n-46}との平均値は、これらの代表値ベクトルのブロックにはさまれるブロックのベクトルの予測値（予測値ベクトル）とされ、この予測値とブロックの実際のベクトルとの差分（差分ベクトル）が計算され、出力される。即ち、MB(N)の代表値ベクトルV_nおよびMB(N-46)の代表値ベクトルV_{n-46}の平均値と、ベクトルv_nとの差分が、ベクトルv_nを有するブロック（マクロブロックMB(N-46)の右下のブロックとカレントマクロブロックMB(N)の右下のブロックとにはさまれたブロック）の動きベクトルとして出力される。同様に、MB(N)の代表値ベクトルV_nおよびMB(N-45)の代表値ベクトルV_{n-45}の平均値と、ベクトルv_nとの差分が、ベクトルv_nを有するブロック（マクロブロックMB(N-45)の右下のブロックとカレントマクロブロックMB(N)の右下のブロックとにはさまれたブロック）の動きベクトルとして、MB(N)の代表値ベクトルV_nおよびMB(N-1)の代表値ベクトルV_{n-1}の平均値と、ベクトルv_nとの差分が、ベクトルv_nを有するブロック（マクロブロックMB(N-

1) の右下のブロックとカレントマクロブロックMB (N) の右下のブロックとにはさまれたブロック) の動きベクトルとして出力される。このようにして、各平均値(予測ベクトル)と、MB (N) の代表値ベクトルV_n以外の動きベクトルv_a、v_b、v_cとの差分である差分ベクトルが計算された後、MB (N) の代表値ベクトルV_nは、ベクトル用メモリ14bに記憶される。

【0025】 VLC回路5において、マクロブロックごとに計算された3つの差分ベクトル、およびそのマクロブロックの代表値ベクトルが、量子化回路6により量子化された1ビクチャ、Pビクチャ、もしくはBビクチャの動き補償するベクトルとして、対応するビクチャデータ(1ビクチャ、Pビクチャ、もしくはBビクチャ)に多重化される。

【0026】以上により、ローカルデコード回路9の内蔵するメモリに記憶されるデータは、VLC回路5から出力されるデータを復号した画像データになるので、ローカルデコード回路9の内蔵するメモリに記憶されたデータを利用して、順次PビクチャまたはBビクチャのデータを得ることができる。

【0027】次に、図4のフローチャートを参照して、コントローラ12における動きベクトル処理の動作を、さらに説明する。まず最初に、ステップS41において、現在エンコード(符号化)処理をしようとしているマクロブロック(カレントMB)を構成する4つのブロックの動きベクトルが比較される。カレントMBを構成する4つのブロックのベクトルがほぼ等しい(各ベクトルの差分が所定の基準値より小さい)と判定された場合、ステップS42に進み、カレントMBを構成する4つのブロックのベクトルのうちの1つのブロック(図3の実施例では、マクロブロックの右下のブロック)のベクトルが、そのMBの動きベクトルとして選択され、VLC回路5において、カレントMB単位の動き補償を行うベクトルとして、多重化される(MB単位方式)。

【0028】ステップS41において、カレントMBを構成する4つのブロックのベクトルが異なる(各ベクトルの差分が所定の基準値より大きい)と判定された場合、ステップS43に進み、カレントMBを構成する4つのブロックのベクトルの例えば最小のベクトルと他のベクトルとの差分(差分ベクトル)が計算される。また、予測回路14により計算されたカレントMBの予測値ベクトルから差分ベクトルが計算される。そして、ステップS44において、カレントMBを構成する4つのブロックの最小のベクトルと他のベクトルとの差分である3つの差分ベクトルと、カレントMBの予測ベクトルから計算された3つの差分ベクトルとが比較され、カレントMBの予測ベクトルから計算された3つの差分ベクトルのデータ量の方が小さいと判定された場合、ステップS45に進み、VLC回路5において、3つの差分ベクトルとMBを構成する4つのブロックの右下のブロッ

クの動きベクトル(代表値ベクトル)が、それぞれ各ブロックの動き補償を行うベクトルとして、多重化される(予測値方式)。

【0029】ステップS44において、カレントMBを構成する4つのブロックのベクトルの最小のベクトルと他のベクトルとの差分である3つの差分ベクトルの方が小さいと判定された場合、ステップS46に進み、VLC回路5において、カレントMBの最小のベクトル、およびその3つの差分ベクトルが、それぞれ各ブロックの動き補償を行うベクトルとして、多重化される(代表値方式)。

【0030】以上のように、MB単位方式で符号化することができるほど、MBの各ブロック間に冗長性がなく、代表値方式で符号化すると、MB間に冗長性を残すような場合、予測値方式で符号化が行なわれる所以、MB間の冗長性が軽減され、データを高圧縮することができる。

【0031】次に、図5は、VLC回路5において、多重化されたデータのフォーマットを示す図である。MBヘッダは、マクロブロック(MB)のアドレスなどからなり、動き補償モードフラグ(図中変数Aで示す)は、動き補償がマクロブロック(MB)単位で行われる場合、例えば0になり、ブロック単位で行われる場合、例えば1になる。そして、動き補償がブロック単位で行われる(動き補償モードフラグが1であり)、且つ、ブロック単位の動き補償が予測値方式により行われる場合、ブロックベクトルの送り方フラグ(図中変数Bで示す)は、例えば1になる。また、動き補償がブロック単位で行われる(動き補償モードフラグが1であり)、且つ、ブロック単位の動き補償が代表値方式により行われる場合、ブロックベクトルの送り方フラグは、例えば0になる。そして、ブロックベクトルの送り方フラグの後に、動き補償モードフラグとブロックベクトルの送り方フラグに対応した動きベクトル、および量子化回路4を介してDCT回路3より出力されるDCT処理されたデータの係数が付加される。

【0032】図6は、前述したデータフォーマットに符号化されたデータを復号する動きベクトル復号器の一実施例の構成を示すブロック図である。逆VLC回路21は、入力されたデータに逆VLC処理を施す。逆量子化回路22は、逆VLC回路21より出力されたデータを逆量子化する。逆DCT回路23は、逆量子化回路22より出力されたデータを逆DCTし、演算器26に出力する。演算器26は、逆量子化回路22より出力されたデータと、動き補償回路28より出力されたデータを加算して、フレームメモリ29に出力する。フレームメモリ29は、演算器26より出力されたデータを記憶する。

【0033】スイッチコントローラ30は、逆VLC回路21より出力される動き補償モードフラグとブロック

ベクトルの送り方フラグに対応して、スイッチ24(SW₁)およびスイッチ25(SW₂)を制御する。スイッチ24は、スイッチコントローラ30に制御され、0(無信号)、または逆VLC回路21より出力される代表値方式の差分ベクトル、もしくは予測値方式の差分ベクトルを選択して演算器27に出力する。スイッチ25は、ベクトル用メモリ31b、演算器31c、31dとともに予測回路31を構成する代表値レジスタ31aに記憶されている、MB単位方式により符号化されたMBを代表する動きベクトル、もしくは代表値方式の代表値ベクトルであるMBを構成する各ブロックの動きベクトルの最小値(最小値ベクトル)、または予測回路31の演算器31dより出力される予測値ベクトルを選択して演算器27に出力する。

【0034】演算器27は、スイッチ24と25から出力されるデータ(ベクトル)を加算する。動き補償回路28は、フレームメモリ29に記憶されているデータに対して、演算器27より出力されるベクトルに対応する動き補償を施し、演算器26に出力する。

【0035】次に、図7のフローチャートを参照して、その動作について説明する。ステップS51において、逆VLC回路21より出力された動き補償モードフラグがスイッチコントローラ30に供給され、動き補償モード(MC)フラグが0に等しいと判定された場合、即ち復号するデータがMB単位方式で符号化されたデータの場合、ステップS52に進み、スイッチ24および25が上側に設定される。この場合、逆VLC回路21より出力されるMBを代表する動きベクトルが、代表値レジスタ31aに記憶される。そして、スイッチ24は、上側に設定されているので、0を出し、スイッチ25は、上側に設定されているので、代表値レジスタ31aに記憶されているMBの動きベクトルを出力する。従って、演算器27において、0と代表値レジスタに記憶されているMBの動きベクトルが加算され、出力される。即ち、演算器27において、代表値レジスタに記憶されているMBの動きベクトルが、そのまま動き補償回路28に出力される。

【0036】ステップS51において、動き補償モード(MC)フラグが1に等しいと判定された場合、ステップS53に進み、逆VLC回路21より出力されたブロックベクトル送り方フラグが判定される。ブロックベクトル送り方フラグが0に等しいと判定された場合、即ち復号するデータが代表値方式で符号化されたデータである場合、ステップS54に進み、スイッチ24は下側に、スイッチ25は上側に設定される。この場合、逆VLC回路21より出力されるMBの最小のベクトルが、代表値レジスタ31aに記憶される。そして、スイッチ24は、下側に設定されているので、MBの各ブロックの代表値方式の差分ベクトルを出し、スイッチ25は、上側に設定されているので、代表値レジスタ31a

に記憶されているMBの最小ベクトルを出力する。従って、演算器27において、MBの最小ベクトルとMBの他のベクトルとの差分である差分ベクトルと、MBの最小ベクトルが加算され、出力される。即ち、演算器27において、MBの各ブロックの動きベクトルが復号され、動き補償回路28に出力される。

【0037】ステップS53において、ブロックベクトル送り方フラグが1に等しいと判定された場合、即ち復号するデータが予測値方式で符号化されたデータである場合、ステップS55に進み、スイッチ24および25は下側に設定される。この場合、逆VLC回路21より出力されるMBの右下のブロックのベクトルが、代表値レジスタ31aに記憶される。そして、スイッチ24は、下側に設定されているので、MBの各ブロックの予測値方式の差分ベクトルを出し、スイッチ25は、下側に設定されているので、予測回路31により計算される予測ベクトルを出力する(その動作は、図1に示した符号器の予測回路14における場合と同様である)。従って、演算器27において、MBの代表値ベクトル以外の動きベクトルと予測値ベクトルとの差分である差分ベクトルと、予測値ベクトルが加算され、出力される。即ち、演算器27において、MBの各ブロックの動きベクトルが復号され、動き補償回路28に出力される。

【0038】一方、逆VLC回路21より出力されたデータは、逆量子化回路22により逆量子化処理され、逆DCT回路23により逆DCT処理される。逆DCT処理されたデータが、Iピクチャのデータである場合、演算器26を介してそのままフレームメモリ29に供給され、記憶される。逆DCT回路24より出力されたデータが、IまたはPピクチャを予測画像とするPピクチャのデータである場合、フレームメモリ29よりIまたはPピクチャのデータが読み出され、動き補償回路28において、演算器27より出力される動きベクトルに対応する動き補償が施された後、演算器26に供給される。演算器26において、逆DCT回路23より出力されたデータと、動き補償回路28より出力されたデータが加算され、Pピクチャのデータが生成される。そして、このデータもフレームメモリ29に記憶される。

【0039】逆DCT回路23より出力されたデータがBピクチャのデータである場合、フレームメモリ29よりIピクチャまたはPピクチャのデータが読み出され、動き補償回路28において、演算器27より出力される動きベクトルに対応する動き補償が施された後、演算器26に供給される。そして、演算器26において、逆DCT回路23より出力されたデータと動き補償回路28より出力されたデータが加算されるので、復号されたBピクチャのデータが得られることになる。このデータもフレームメモリ29に記憶される。

【0040】このようにして、フレームメモリ29に記憶されたデータは、D/Aコンバータ(図示せず)によ

りD/A変換された後、例えばCRT(図示せず)などに供給され表示される。

【0041】以上のようにして、データの冗長度に対応して高压縮されたデータを復号することができる。

【0042】本実施例において、マクロブロックの右下のブロックの動きベクトルを予測方式の代表値ベクトルとして選択(採用)したが、これは、ビデオカメラおよびCRTなどにおける走査が、一般的に左から右、上から下へ行われているためである。即ち、図3に示すように、カレントマクロブロックMB(N)の代表値ベクトルV_nの走査が終了したときに、MB(N)の他のブロックのベクトルv₁₁, v₁₂, v₁₃の予測値ベクトルを計算するためには、先行する他のマクロブロックMB(N-46), MB(N-45)およびMB(N-1)の代表値ベクトルV_{n-46}, V_{n-45}およびV_{n-1}の走査が、既に終了していなければならぬので、予測値方式の代表値ベクトルに選択する動きベクトルを有するブロックは、ビデオカメラおよびCRTにおける走査の順番が、マクロブロックの各ブロックにおいて、最後になるブロックを選択するようにするのが好ましい。

【0043】

【発明の効果】以上の如く請求項1に記載の動きベクトル符号器によれば、画像をマクロブロックに分割し、マクロブロックをさらにブロックに分割し、マクロブロックまたはブロックにおける画像の動きを表す動きベクトルを圧縮符号化する動きベクトル符号器において、ブロックの動きベクトルを記憶し、記憶されたブロックの動きベクトルにより注目ブロックの動きベクトルを予測し、予測された注目ブロックの動きベクトルと注目ブロックの実際の動きベクトルとの差分を生成する。従って、記憶されたブロックの動きベクトルと注目ブロックの動きベクトルとの間の冗長性が削減され、効率の高い動きベクトルの圧縮を実現することができる。

【0044】請求項2に記載の動きベクトル復号器によれば、画像をマクロブロックに分割し、マクロブロックをさらにブロックに分割し、ブロックにおける画像の動きを表す動きベクトルを記憶し、記憶されたブロックの動きベクトルにより注目ブロックの動きベクトルを予測し、予測された注目ブロックの動きベクトルと注目ブロックの実際の動きベクトルとの差分を生成することにより圧縮符号化した動きベクトルを復号する動きベクトル復号器において、ブロックの動きベクトルを記憶し、記憶されたブロックの動きベクトルにより注目ブロックの動きベクトルを予測し、予測された注目ブロックの動きベクトルと注目ブロックの実際の動きベクトルとの差分により注目ブロックの動きベクトルを生成する。従って、冗長性が削減されて効率の良い圧縮が施された動きベクトルを伸張することができる。

【図面の簡単な説明】

【図1】本発明の動きベクトル符号器を応用した動画像データ符号器の一実施例の構成を示すブロック図である。

【図2】図1の実施例の予測回路14において、マクロブロックの各ブロックの予測値ベクトルが計算されるときに、そのマクロブロックの代表値ベクトルとされる動きベクトルを有するブロックを示す図である。

【図3】図1の実施例の予測回路14において、カレントマクロブロック(MB)(N)の各ブロックの予測値ベクトルの計算方法を説明する図である。

【図4】図1のコントローラ12が符号化方式を決めるアルゴリズムを説明するフローチャートである。

【図5】図1のVLC回路5から出力されるデータのフォーマットを示す図である。

【図6】図1の符号器により符号化されたデータを復号する動きベクトル復号器の一実施例の構成を示すブロック図である。

【図7】図6のスイッチコントローラ30がスイッチ24, 25を制御するアルゴリズムを説明するフローチャートである。

【図8】動画像が16ピクセル×16ラインのマクロブロックに分割されている様子を説明する図である。

【図9】マクロブロックが8ピクセル×8ラインのブロックより構成されていることを示す図である。

【図10】マクロブロックを構成するブロックの動きベクトルを示す図である。

【図11】ズームイン動作を行っている場合のブロックの動きベクトルを示す図である。

【符号の説明】

- 30 1 フレームメモリ
- 2 演算器
- 3 DCT回路
- 4 量子化回路
- 5 VLC回路
- 6 逆量子化回路
- 7 逆DCT回路
- 8 演算器
- 9 ローカルデコード回路
- 10 アドレス生成器
- 40 11 動き検出器
- 12 コントローラ
- 13 メモリ
- 14 予測回路
- 14 a 代表値レジスタ
- 14 b ベクトル用メモリ
- 14 c, 14 d 演算器
- 21 逆VLC回路
- 22 逆量子化回路
- 23 逆DCT回路
- 50 24, 25 スイッチ

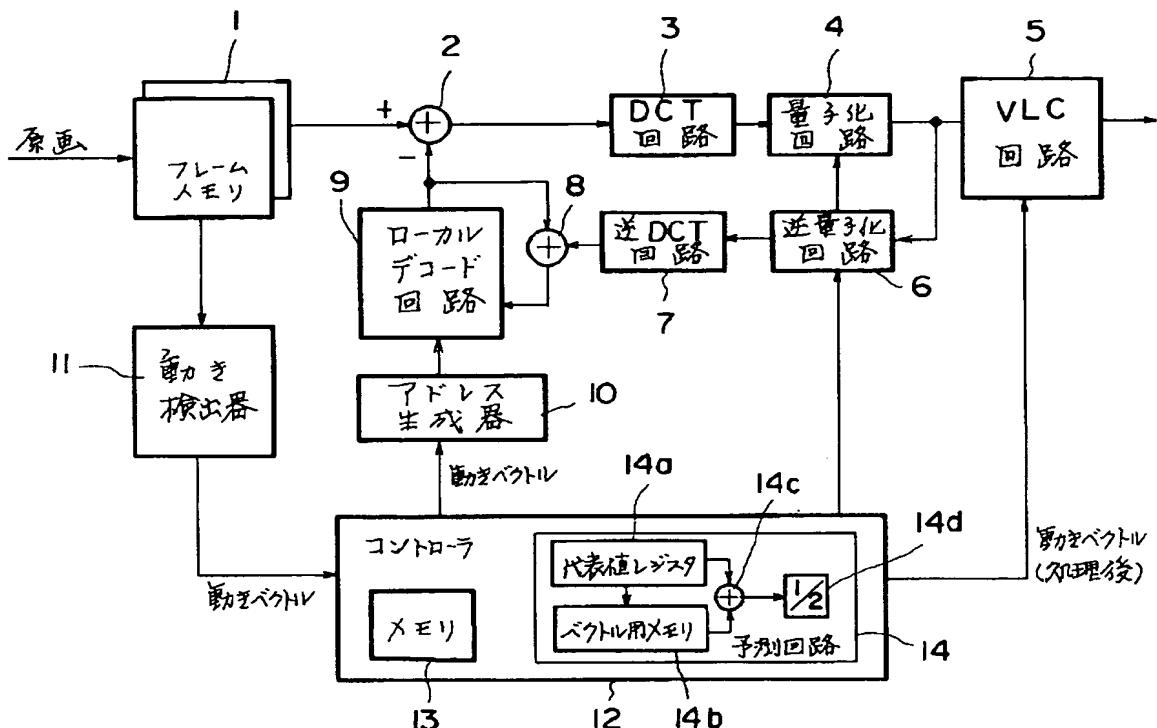
13

- 26. 27 演算器
- 28 動き補償回路
- 29 フレームメモリ
- 30 スイッチコントローラ

* 3 1 予測回路
3 1 a 代表値レジスタ
3 1 b ベクトル用メモリ
* 3 1 c, 3 1 d 演算器

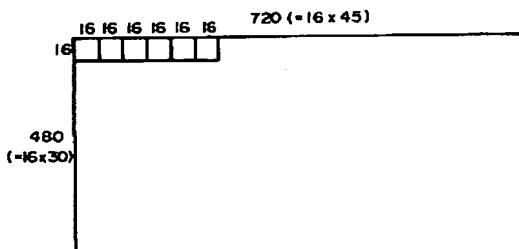
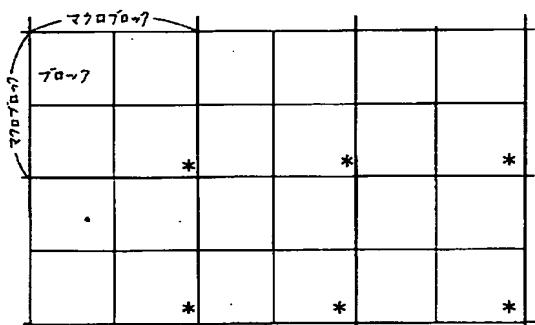
14

〔圖 1〕



〔図2〕

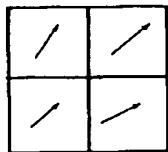
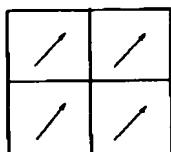
[図8]



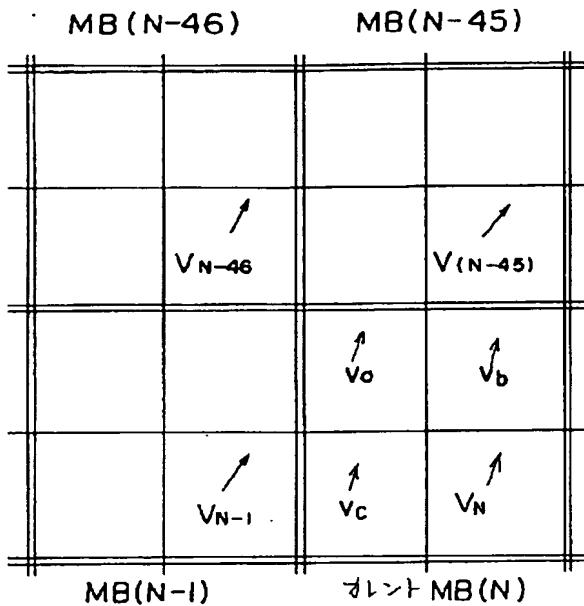
〔図10〕

(a)

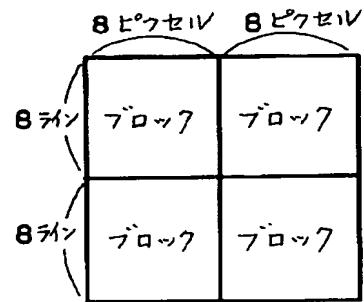
(b)



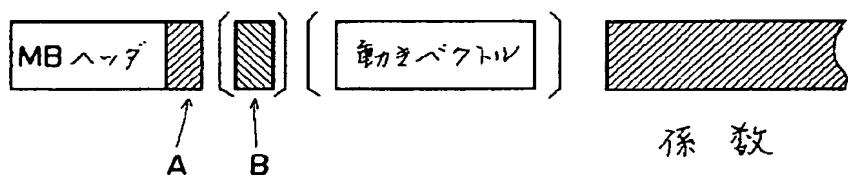
【図3】



【図9】



【図5】

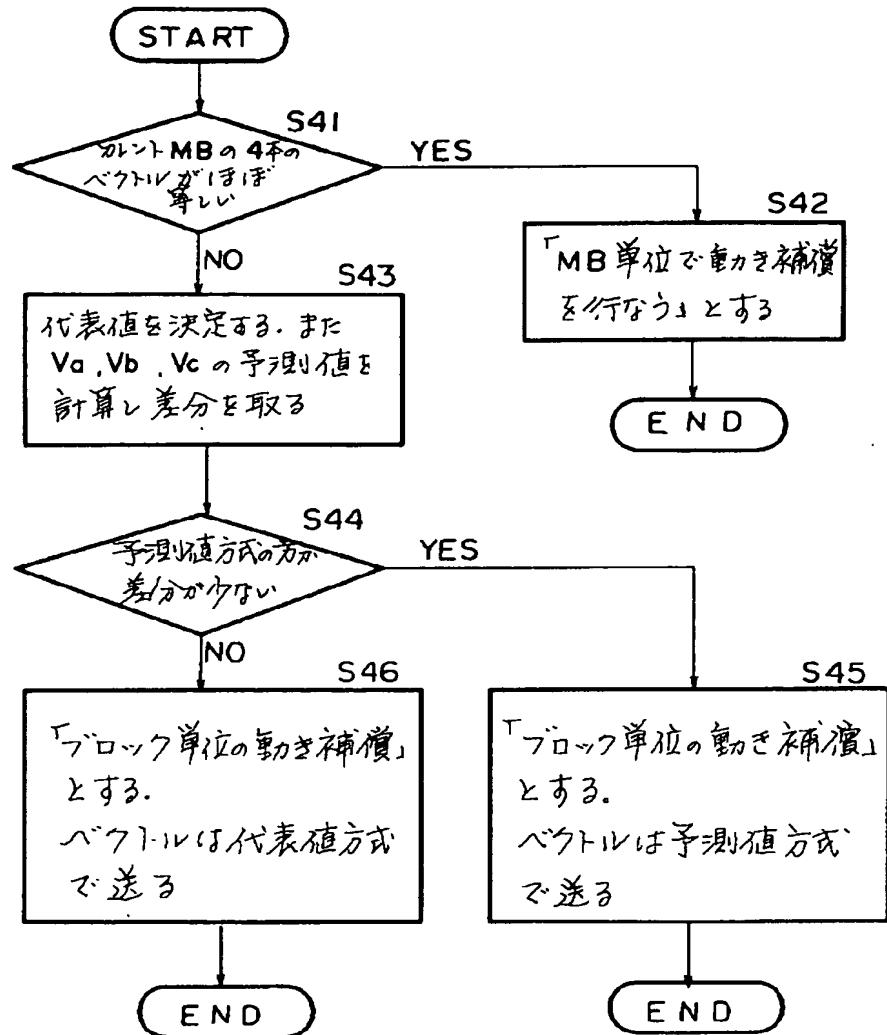


A 動き補償モードフラグ $\begin{cases} 0 : \text{MB 単位の動き補償} \\ 1 : \text{ブロック 単位の動き補償} \end{cases}$

(A = 1 の時だけある)

B ブロックベクトルの送り方フラグ $\begin{cases} 0 : \text{代表値方式} \\ 1 : \text{予測値方式} \end{cases}$

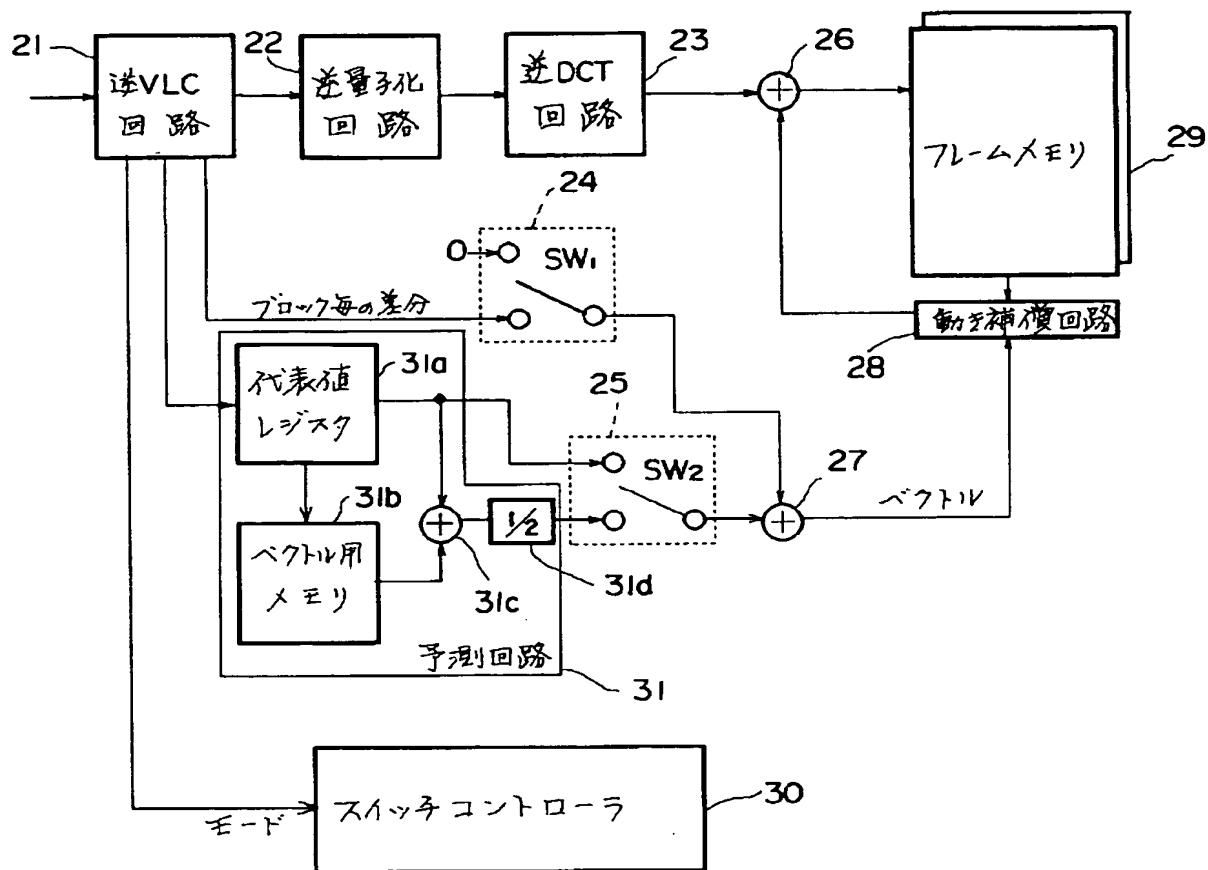
【図4】



【図11】

/	\	/	/	/	/
/	\	-	-	-	-
-	/	-	-	-	-
/	/	\	\	\	\

【図6】



【図7】

